

Patent Abstracts of Japan

PUBLICATION NUMBER : 04091481
PUBLICATION DATE : 24-03-92

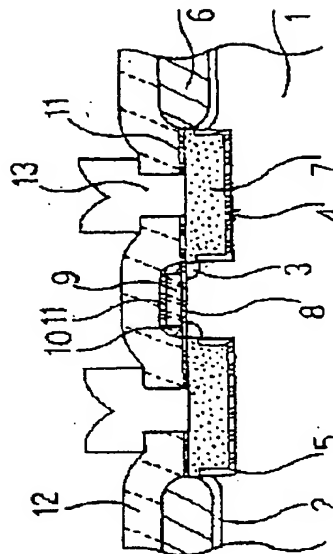
APPLICATION DATE : 02-08-90
APPLICATION NUMBER : 02205602

APPLICANT : SHIRATO TAKEHIDE;

INVENTOR : SHIRATO TAKEHIDE;

INT.CL. : H01L 29/784 H01L 21/336

TITLE : MIS FIELD EFFECT TRANSISTOR



ABSTRACT : PURPOSE: To obtain a high integration, and high performance MIS field transistor capable of operating at high speed by installing a trench in a semiconductor substrate of one conductivity type on both ends of a side wall insulation film, providing an insulation film partially on the side walls of the trench, burying the insulated trench, and installing a conducting film so that it may face the side of a source/drain region.

CONSTITUTION: An electrode 9 is installed on an n-type silicon substrate 1 by way of a gate oxide film 8. A low concentration p-type source/drain region 3 is installed directly under a side wall insulation film 10 formed on the side wall of the gate electrode 9 based on self-alignment where a trench 4 is installed in the n-type silicon substrate 1 on both ends of the side wall insulation film 10 based on self-alignment. An oxide film 5 is installed on a part of the side wall of the trench 4 and the bottom. The trench 4 where the oxide film is installed is buried and moreover, a conductive film 7 is installed so that it may come into contact with the p-type source/drain region.

Same mask

COPYRIGHT: (C)1992,JPO&Japio

374

9

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-91481

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月24日

H 01 L 29/784
21/336

8422-4M H 01 L 29/78
8422-4M

3 0 1 S
3 0 1 Z

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 M I S電界効果トランジスタ

⑮ 特 願 平2-205602

⑯ 出 願 平2(1990)8月2日

⑰ 発 明 者 白 土 猛 英 神奈川県平塚市浅間町6番26号

⑱ 出 願 人 白 土 猛 英 神奈川県平塚市浅間町6番26号

明 細 書

1. 発明の名称

M I S電界効果トランジスタ

2. 特許請求の範囲

(1) 一導電型の半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極の両端の前記半導体基板に等距離の幅に設けられた反対導電型のソースドレイン領域と、前記ゲート電極の両端より外側に等距離離れた前記半導体基板に設けられたトレンチと、前記トレンチの側面の一部及び底面に設けられた絶縁膜と、前記絶縁膜が設けられたトレンチを埋め込み、且つ前記ソースドレイン領域の側面に接した導電膜とを備えてなることを特徴とするM I S電界効果トランジスタ。

(2) 前記半導体基板が再結晶シリコン基板からなることを特徴とする特許請求の範囲第一項記載のM I S電界効果トランジスタ。

3. 発明の詳細な説明

[概要]

一導電型半導体基板上にゲート酸化膜を介してゲート電極が設けられ、ゲート電極の側壁にセルフアライン形成された側壁絶縁膜下に低濃度のソースドレイン領域が設けられ、側壁絶縁膜の両端の一導電型半導体基板にトレンチが設けられ、トレンチの側面の一部及び底面に絶縁膜が設けられ、この絶縁膜が設けられたトレンチを埋め込み、且つソースドレイン領域の側面に接した導電膜が設けられた構造を有するM I S電界効果トランジスタが形成されているため、ゲート電極下の横方向拡散を微少に抑えた浅い低濃度不純物領域を含むソースドレイン領域を形成できるため、ゲート長を微細化できることによる高集積化を、ゲート長を微細化でき、ソースドレイン領域を低抵抗の導電膜により形成できるため、伝達コンダクタンスを増大できること及び導電膜からなるソースドレイン領域を絶縁膜上に形成できるため、ソースドレイン領域の容量を低減できることによる高速

化を、低濃度不純物領域のみが半導体基板に接するソースドレイン領域を形成できるため、接合耐圧を増大できることによる高性能化を可能としたMIS電界効果トランジスタ。

〔産業上の利用分野〕

本発明はMIS型半導体装置に係り、特に微細化が難しく、高速化に難があるPチャネルのMIS電界効果トランジスタに関する。

従来、PチャネルのMIS電界効果トランジスタのショートチャネル化に関しては、いわゆるホットエレクトロン効果による寿命上の伝達コンダクタンスの劣化を考慮しなくてよいため、LDD (Lightly Doped Drain) 構造を形成する必要がなく、ゲート電極の両端にセルフアラインに高濃度のソースドレイン領域を設ける慣例的なMIS電界効果トランジスタを形成していた。しかし、現状ではソースドレイン領域を形成するイオン種には拡散係数が大きい硼素しかないので、ソースドレイン領域は深く形成され

特開平 4-91481(2)

、したがってゲート電極下の横方向拡散が大きく、容易にパンチスルー現象を生じるため、ゲート長を微細化できなかったこと、ゲート容量やソースドレイン領域の容量及び抵抗が大きいこと等から高集積化及び高速化への妨げになるという問題が顕著になってきている。そこで、ゲート長を微細化し、ゲート容量やソースドレイン領域の容量及び抵抗が低減化できる高速且つ高集積なPチャネルのMIS電界効果トランジスタを形成できる手段が要望されている。

〔従来の技術〕

第5図は従来のMIS電界効果トランジスタの模式側断面図で、51はn型シリコン(Si)基板、52はn型チャネルストッパー領域、53はp+型ソースドレイン領域、54はフィールド酸化膜、55はゲート酸化膜、56はゲート電極、57は不純物ブロック用酸化膜、58は磷珪酸ガラス(PSG)膜、59はAl配線を示している。

同図においては、n型シリコン(Si)基板51上

にゲート酸化膜55を介してゲート電極56が設けられ、ゲート電極56の両端にはp+型ソースドレイン領域53が設けられた慣例的な構造のPチャネルMIS電界効果トランジスタが形成されている。製造上は極めてシンプルで作りやすいが、硼素のイオン注入により形成された高濃度のソースドレイン領域が深く形成されているため、ゲート電極下の横方向拡散が大きく、拡散層の曲率も大きいので、空乏層の広がりが大きく、容易にパンチスルー現象を生じるため、ゲート長を微細化できないことから高集積化が難しいこと、ゲート容量やソースドレイン領域の容量及び抵抗が大きいことから高速化が難しいこと等の欠点があった。

〔発明が解決しようとする問題点〕

本発明が解決しようとする問題点は、従来例に示されるように、従来の慣例的なPチャネルのMIS電界効果トランジスタにおいては、高濃度のソースドレイン領域を浅く形成できないため、ゲート電極下の横方向拡散が大きく、容易にパンチ

スルー現象を生じるため、ゲート長のさらなる微細化が困難で高集積化が難しかったこと、ゲート長の微細化が困難なためゲート容量の低減ができなかったこと及び不純物拡散によるソースドレイン領域のため容量と抵抗の低減ができないことにより高速化が難しかったことである。

〔問題点を解決するための手段〕

上記問題点は、一導電型の半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極の両端の前記半導体基板に等距離の幅に設けられた反対導電型のソースドレイン領域と、前記ゲート電極の両端より外側に等距離離れた前記半導体基板上に設けられたトレンチと、前記トレンチの側面の一部及び底面に設けられた絶縁膜と、前記絶縁膜が設けられたトレンチを埋め込み、且つ前記ソースドレイン領域の側面に接した導電膜とを備えてなる本発明のMIS電界効果トランジスタによって解決される。

〔作 用〕

即ち本発明の半導体装置においては、一導電型半導体基板上にゲート酸化膜を介してゲート電極が設けられ、ゲート電極の側壁にセルフアライン形成された側壁絶縁膜下に低濃度のソースドレイン領域が設けられ、側壁絶縁膜の両端の一導電型半導体基板にトレンチが設けられ、トレンチの側面の一部及び底面に絶縁膜が設けられ、この絶縁膜が設けられたトレンチを埋め込み、且つソースドレイン領域の側面に接した導電膜が設けられた構造を有するMIS電界効果トランジスタが形成されている。したがって、すべての構成領域をセルフアラインに形成でき、ゲート電極下の横方向拡散を微少に抑えた浅い低濃度不純物領域を含むソースドレイン領域を形成できるため、ゲート長を微細化できることによる高集積化を、ゲート長を微細化でき、又比較的抵抗の高い高濃度不純物領域を持たない低抵抗の導電膜によるソースドレイン領域を形成できるため、伝達コンダクタンスを増大できること及び導電膜からなるソースドレ

イン領域を絶縁膜上に形成できるため、ソースドレイン領域の容量を低減できることによる高速化を、半導体基板に接する部分を低濃度の不純物領域のみとし、低濃度の不純物領域に接する以外の導電膜を絶縁膜で囲んだソースドレイン領域を形成できることにより接合の耐圧を増大できることによる高性能化を可能にすることができる。即ち高集積、高速且つ高性能な半導体集積回路の形成を可能としたMIS電界効果トランジスタを得ることができる。

〔実施例〕

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図、第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図、第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図、第4図(a)～(e)は本発明のM

7

I S電界効果トランジスタにおける製造方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一番号及び同一記号で示す。

第1図はn型シリコン基板を用いた際の本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図で、1は 10^{16} cm^{-3} 程度のn型シリコン基板、2は 10^{17} cm^{-3} 程度のn型チャネルストッパー領域、3は 10^{17} cm^{-3} 程度のp型ソースドレイン領域、4は深さ500 nm程度のソースドレイン領域形成用のトレンチ、5は厚さ100 nm程度の埋め込み酸化膜、6は600 nm程度のフィールド酸化膜、7は埋め込み導電膜、8は18 nm程度のゲート酸化膜、9は300 nm程度のゲート電極、10は250 nm程度の側壁酸化膜、11は35 nm程度の不純物ブロック用酸化膜、12は600 nm程度の燐珪酸ガラス (PSG) 膜、13は1 μm 程度のAl配線を示している。

同図においては、n型シリコン基板1上にゲート酸化膜8を介してゲート電極9が設けられ、

8

ゲート電極9の側壁にセルフアライン形成された側壁絶縁膜10直下に低濃度のp型ソースドレイン領域3が設けられ、側壁絶縁膜10の両端のn型シリコン基板1にセルフアラインにトレンチ4が設けられ、トレンチ4の側面の一部及び底面に酸化膜5が設けられ、この酸化膜5が設けられたトレンチ4を埋め込み、且つp型ソースドレイン領域3の側面に接した導電膜7が設けられた構造を有するPチャネルMIS電界効果トランジスタが形成されている。ここで埋め込み導電膜7はp型ソースドレイン領域3に接するだけで、n型シリコン基板1とは分離されていなければならないため、ソースドレイン領域形成用のトレンチ4を2段階で形成し、トレンチ4の側面の一部及び底面にセルフアラインに酸化膜5を形成することにより、目的とする構造を得ている。(製造方法は後で詳しく記述する。)したがって、すべての構成領域をセルフアラインに形成でき、ゲート電極9下の横方向拡散を微少に抑えた浅い低濃度のp型ソースドレイン領域3を含むソースドレイン領

域を形成できるため、ゲート長を微細化できることによる高集積化を、ゲート長を微細化でき、又比較的抵抗の高い高濃度不純物領域を持たない低抵抗の導電膜7によるソースドレイン領域を形成できるため、伝達コンダクタンスを増大できること及び導電膜7からなるソースドレイン領域を埋め込んだ酸化膜5上に形成できるため、ソースドレイン領域の容量を低減できることによる高速化を、n型シリコン基板1に接する部分を低濃度のp型ソースドレイン領域3のみとし、低濃度のp型ソースドレイン領域3に接する以外の導電膜7を埋め込んだ酸化膜5で囲んだソースドレイン領域を形成できることにより接合の耐圧を増大できることによる高性能化を可能にすることができる。

第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図で、1～5、7～13は第1図と同じ物を、14はソースドレイン領域及び素子分離領域形成用トレンチを示している。

11

め込み導電膜からなる低抵抗のソースドレイン領域が形成されている以外はほぼ第1の実施例と同じ構造に形成されている。本発明においても第1の実施例及び第2の実施例と同様の効果を実現することが可能である。

次いで本発明に係るMIS電界効果トランジスタの製造方法の一実施例について第4図(a)～(e)を参照して説明する。ただし、ここでは本発明のMIS電界効果トランジスタの形成に関する製造方法のみを記述し、一般の半導体集積回路に搭載される各種の素子(他のトランジスタ、抵抗、容量等)の形成に関する製造方法の記述は省略する。

第4図(a)

通常の技法を適用することにより、n型シリコン基板1にn型チャネルストップ領域2及び600 nm程度のフィールド酸化膜6を形成する。

第4図(b)

次いで18 nm程度のゲート酸化膜8を成長する。次いで不純物を含む300 nm程度の多結晶シリコン

同図においては、素子分離領域がいわゆるトレンチ素子分離法を使用して形成されており、ゲート側のみに低濃度のp型ソースドレイン領域3が設けられ、埋め込まれた導電膜7に接している以外はほぼ第1の実施例と同じ構造に形成されている。本実施例においては第1の実施例と同様の効果に加え、バースピークが存在しないことによる高集積化及びバースピークが原因で生じる種々の特性の劣化を改善することが可能である。

第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図で、本発明をSOI(Silicon On Insulator)に適用した場合で、1、3、4、7～13は第1図と同じ物を、15はn型再結晶シリコン基板、16はシリコン基板上の絶縁分離酸化膜を示している。

同図においては、側面の一部及び底面を酸化膜16で囲まれたn型再結晶シリコン基板15に低濃度のp型ソースドレイン領域3が設けられ、低濃度のp型ソースドレイン領域3の側面に接して埋

12

膜を成長する。次いで20 nm程度の酸化膜17を成長する。次いで30 nm程度の第1の窒化膜18を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、窒化膜18、酸化膜17及び多結晶シリコン膜を選択的にエッチングし、ゲート電極9を形成する。次いでレジストを除去する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)、窒化膜18と酸化膜17を含むゲート電極9及びフィールド酸化膜6をマスク層として、囲素をイオン注入してp型ソースドレイン領域3を形成する。次いでレジストを除去する。

第4図(c)

次いで250 nm程度の化学気相成長酸化膜を成長する。次いで化学気相成長酸化膜を異方性ドライエッチングし、ゲート電極9の側壁に側壁酸化膜10を形成する。(オーバーエッチングによりゲート酸化膜8もエッチングされる。)次いで露出したシリコン基板1を100 nm程度エッチングする。

第4図(d)

次いで100 nm程度の第2の窒化膜19を成長する。次いで窒化膜19を異方性ドライエッチングし、露出したシリコン基板1の側壁に窒化膜19を形成する。(窒化膜18も同時にエッチングされる。)次いで再び露出したシリコン基板1を400 nm程度エッチングし、トレンチ4を形成する。

第4図(e)

次いで熱酸化し、100 nm程度の酸化膜5を成長する。次いでボイルした磷酸により、窒化膜19をエッチング除去する。次いでタングステンシリサイド膜を成長する。次いで異方性ドライエッチングしてトレンチ4に埋め込み、ソースドレイン領域となる埋め込みタングステンシリサイド膜7を形成する。

第1図

次いで通常の技法を適用することにより、不純物ブロック用酸化膜11及び磷珪酸ガラス(PSG)膜12の成長、高温熱処理による不純物拡散領域の活性化及び深さの制御、電極コンタクト窓の形成、

Al配線13の形成等をおこなってPチャネルのMIS電界効果トランジスタを完成する。

以上実施例に示したように、本発明のMIS電界効果トランジスタによれば、すべての構成領域をセルフアラインに形成でき、ゲート電極下の横方向拡散を微少に抑えた浅い低濃度不純物領域を含むソースドレイン領域を形成できるため、ゲート長を微細化できることによる高集積化を、ゲート長を微細化でき、又比較的抵抗の高い高濃度不純物領域を持たない低抵抗の導電膜によるソースドレイン領域を形成できるため、伝達コンダクタンスを増大できること及び導電膜からなるソースドレイン領域を絶縁膜上に形成できるため、ソースドレイン領域の容量を低減できることによる高速化を、半導体基板に接する部分を低濃度の不純物領域のみとし、低濃度の不純物領域に接する以外の導電膜を絶縁膜で囲んだソースドレイン領域を形成できることにより接合の耐圧を増大できることによる高性能化を可能にすることができる。

なお上記実施例においては、PチャネルのMIS

S電界効果トランジスタについて説明してきたが、側壁酸化膜直下に形成する低濃度のp型ソースドレイン領域の替わりに金属膜あるいは金属シリサイド膜との接触においてショットキーバリアを形成しない程度の高濃度のn+型のソースドレイン領域(10^{20} cm^{-3} 程度以上のキャリア濃度を持つ)を形成すればNチャネルのMIS電界効果トランジスタにおいても本発明は使用できる。ただし低濃度のソースドレイン領域を形成できないため、接合の高耐圧化はできない。

[発明の効果]

以上説明のように本発明によれば、MIS電界効果トランジスタにおいて、ゲート電極下の横方向拡散を微少に抑えた浅い低濃度不純物領域を含むソースドレイン領域を形成できるため、ゲート長を微細化できることによる高集積化を、ゲート長を微細化でき、ソースドレイン領域を低抵抗の導電膜により形成できるため、伝達コンダクタンスを増大できること及び導電膜からなるソースド

レイン領域を絶縁膜上に形成できるため、ソースドレイン領域の容量を低減できることによる高速化を、低濃度不純物領域のみが半導体基板に接するソースドレイン領域を形成できるため、接合耐圧を増大できることによる高性能化を可能にすることができる。即ち高集積、高速且つ高性能な半導体集積回路の形成を可能としたMIS電界効果トランジスタを得ることができる。

4. 図面の簡単な説明

第1図は本発明のMIS電界効果トランジスタにおける第1の実施例の模式側断面図、

第2図は本発明のMIS電界効果トランジスタにおける第2の実施例の模式側断面図、

第3図は本発明のMIS電界効果トランジスタにおける第3の実施例の模式側断面図、

第4図(a)～(e)は本発明のMIS電界効果トランジスタにおける製造方法の一実施例の工程断面図、

第5図は従来のMIS電界効果トランジスタの

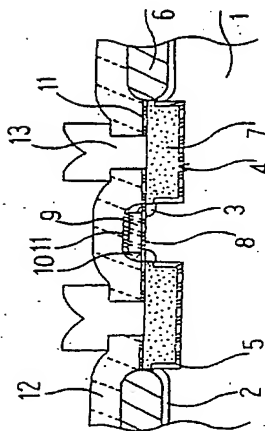
模式側断面図である。

図において、

- 1 は n-型シリコン基板、
 - 2 は n 型チャネルストッパー領域、
 - 3 は p 型ソースドレイン領域、
 - 4 はソースドレイン領域形成用のトレンチ、
 - 5 は埋め込み酸化膜、
 - 6 はフィールド酸化膜、
 - 7 は埋め込み導電膜、
 - 8 はゲート酸化膜、
 - 9 はゲート電極、
 - 10 は側壁酸化膜、
 - 11 は不純物ブロック用酸化膜、
 - 12 は燐珪酸ガラス (PSG) 膜、
 - 13 は Al 配線、
 - 14 はソースドレイン領域及び素子分離領域形成用トレンチ、
 - 15 は n-型再結晶シリコン基板、
 - 16 はシリコン基板上の絶縁分離酸化膜
- を示す。

特許出願人 白土猛英

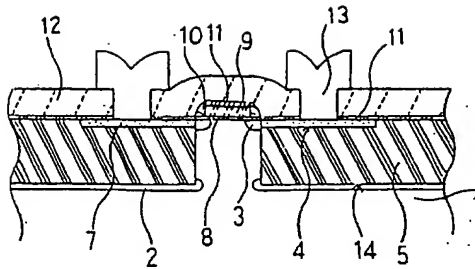
19



本発明の M I S 電界効果トランジスタ
における第 1 の実施例の模式側断面図

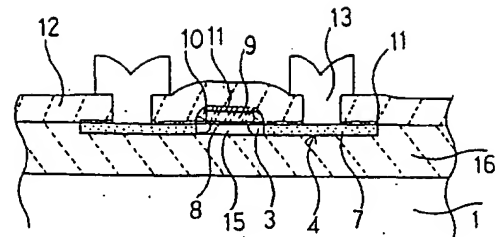
第 1 図

- 1 は n-型シリコン基板
- 2 は n 型チャネルストッパー領域
- 3 は p 型ソースドレイン領域
- 4 はソースドレイン領域形成用のトレンチ
- 5 は埋め込み酸化膜
- 6 はフィールド酸化膜
- 7 は埋め込み導電膜
- 8 はゲート酸化膜
- 9 はゲート電極
- 10 は側壁酸化膜
- 11 は不純物ブロック用酸化膜
- 12 は燐珪酸ガラス (PSG) 膜
- 13 は Al 配線



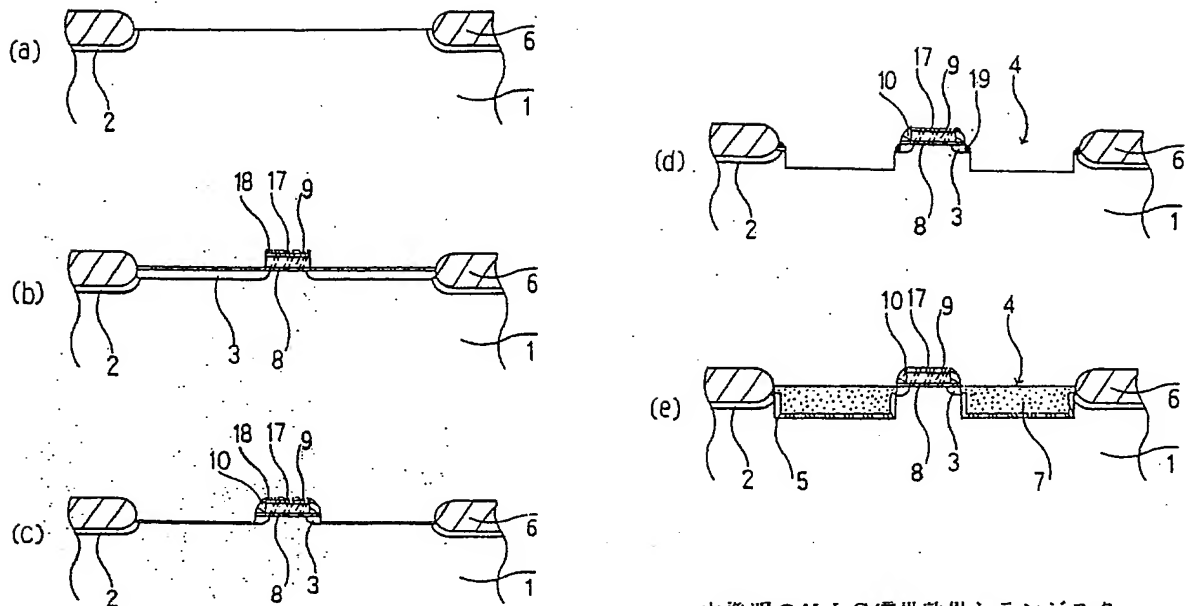
本発明のMIS電界効果トランジスタ
における第2の実施例の模式側断面図
第 2 図

- 1はn型シリコン基板
- 2はn型チャネルストッパー領域
- 3はp型ソースドレイン領域
- 4はソースドレイン領域形成用のトレンチ
- 5は埋め込み酸化膜
- 7は埋め込み導電膜
- 8はゲート酸化膜
- 9はゲート電極
- 10は側壁酸化膜
- 11は不純物ブロック用酸化膜
- 12はリン酸ガラス(PSG)膜
- 13はAl配線
- 14はソースドレイン領域及び素子分離領域形成用トレンチ



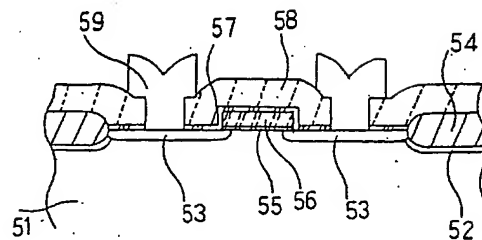
本発明のMIS電界効果トランジスタ
における第3の実施例の模式側断面図
第 3 図

- 1はn型シリコン基板
- 3はp型ソースドレイン領域
- 4はソースドレイン領域形成用のトレンチ
- 7は埋め込み導電膜
- 8はゲート酸化膜
- 9はゲート電極
- 10は側壁酸化膜
- 11は不純物ブロック用酸化膜
- 12はリン酸ガラス(PSG)膜
- 13はAl配線
- 15はn型多結晶シリコン基板
- 16はシリコン基板上の絶縁分離酸化膜



本発明のMIS電界効果トランジスタ
における製造方法の一実施例の工程断面図
第 4 図

本発明のMIS電界効果トランジスタ
における製造方法の一実施例の工程断面図
第 4 図



従来のMIS電界効果トランジスタ
の模式側断面図
第 5 図